
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2005/2006

April/Mei 2006

EEE 230 – ELEKTRONIK DIGIT II

Masa : 3 Jam

ARAHAN KEPADA CALON:-

Sila pastikan kertas peperiksaan ini mengandungi **SEMBILAN BELAS** muka surat termasuk **ENAM** muka surat **Lampiran** bercetak sebelum anda memulakan peperiksaan ini.

Jawab **LIMA** (5) soalan.

Semua soalan hendaklah dijawab dalam Bahasa Malaysia.

...2/-

1. (a) Dengan menggunakan kaedah *entered-variable K-map* (pembolehkan B sebagai *entered-variable*), dapatkan persamaan POS minima bagi fungsi berikut:

(Nota: Gunakan jadual kebenaran kosong pada Lampiran A untuk memudahkan penyelesaian soalan ini. Cerai dan lampirkan bersama-sama buku jawapan.)

By using entered-variable K-map (variable B as entered-variable), find the minimum POS expression for the following function:

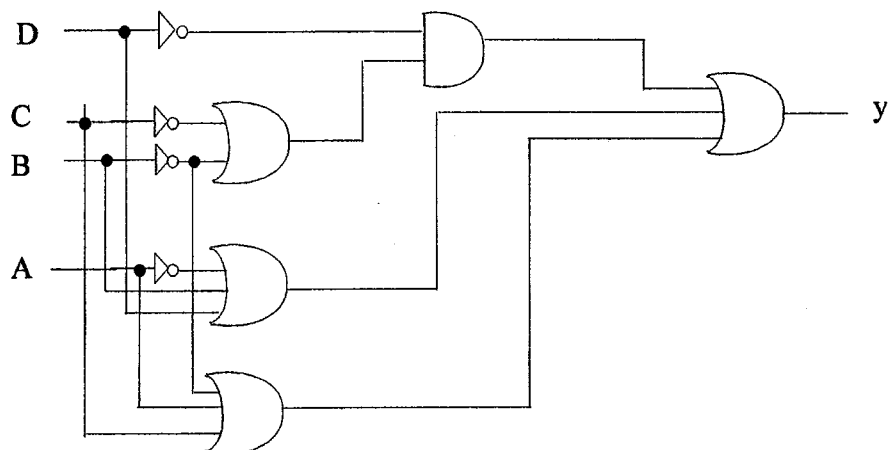
(Note: Use empty truth table in Attachment A as guidance. Detach and attach it together with answer booklet.)

$$f(A, B, C, D, E) = \sum m(1, 3, 6, 9, 12, 13, 17, 22, 25, 27, 28, 29, 31)$$

(45%)

- (b) Diberi satu litar digital seperti yang ditunjukkan di dalam Rajah 1(a). A = MSB, D = LSB.

Given a digital circuit as shown in Figure 1(a). A = MSB, D = LSB.



Rajah 1(a)
Figure 1(a)

...3/-

Implementasikan fungsi Y menggunakan:

Implement the function Y using:

- (i) Lima pemultipleks 4:1.

Five 4:1 multiplexers.

- (ii) Satu 4-to-16 DEC, satu get NAND dan beberapa get NOT. Lakarkan rekabentuk di dalam Lampiran B.

A 4-to-16 DEC, a NAND gate and several NOT gates. Draw your design in Attachment B

(55%)

2. (a) Satu sistem digital dengan logik negatif ditakrifkan dengan jadual kebenaran seperti yang ditunjukkan di dalam Jadual 2(a). Implementasikan fungsi y_0 dan y_1 menggunakan satu $3 \times 4 \times 2$ PLA dengan get XOR pada Lampiran C. Cerai dan lampirkan bersama-sama buku jawapan.

A digital system with negative logic is defined with truth table as shown in Table 2(a). Implement functions y_0 and y_1 using one $3 \times 4 \times 2$ PLA with XOR gates as shown in Attachment C. Detach and attach it together with answer booklet.

...4/-

Jadual 2(a)
Table 2(a)

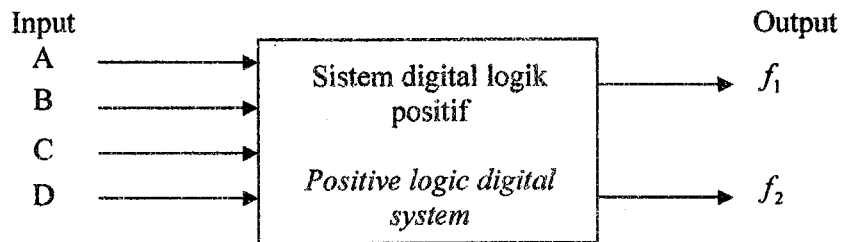
Voltan input Input voltage			Voltan output Output voltage	
A	B	C	y_0	y_1
Tinggi High	Tinggi High	Tinggi High	Tinggi High	Rendah Low
Tinggi High	Tinggi High	Rendah Low	Rendah Low	Rendah Low
Tinggi High	Rendah Low	Tinggi High	Rendah Low	Rendah Low
Tinggi High	Rendah Low	Rendah Low	Rendah Low	Tinggi High
Rendah Low	Tinggi High	Tinggi High	Tinggi High	Tinggi High
Rendah Low	Tinggi High	Rendah Low	Tinggi High	Tinggi High
Rendah Low	Rendah Low	Tinggi High	Tinggi High	Rendah Low
Rendah Low	Rendah Low	Rendah Low	Rendah Low	Tinggi High

(45%)

- (b) Rajah 2(a) menunjukkan satu sistem digital logik positif dengan empat input (A, B, C dan D) dan dua output (f_1 dan f_2).

Figure 2(a) shows a positive logic digital system with four inputs (A, B, C and D) and two outputs (f_1 and f_2).

...5/-



Rajah 2(a)
Figure 2(a)

Fungsi kedua-dua output ditakrifkan sebagai:

Functions for both outputs are given as:

Fungsi f_1

f_1 akan aktif jika input A dan B aktif atau input C dan D aktif.

Function f_1

f_1 is active if inputs A and B are active or inputs C and D are active.

Fungsi f_2

f_2 akan aktif jika sekurang-kurangnya tiga input aktif serentak.

Function f_2

f_2 is active if at least three inputs are active simultaneously.

Dengan menggunakan PAL 5 input, 3 output pada Lampiran D, implementasikan kedua-dua fungsi. Cerai dan lampirkan bersama-sama buku jawapan.

By using 5 inputs, 3 outputs PAL as shown in Attachment D, implement both functions. Detach and attach it together with answer booklet.

(55%)

...6/-

3. (a) Dengan menggunakan gambarajah-gambarajah blok penambah penuh, lukiskan satu litar penambah/penolak iteratif empat bit dengan pengesan limpahan.

By using block diagrams of full adder, draw a four bits iterative adder/subtractor circuit with overflow detector.

(40%)

- (b) Berdasarkan kaedah jadual kebenaran rekabentuk satu ALU dengan menggunakan pemultipleks 16:1 untuk melaksanakan operasi seperti dalam Jadual 3(a).

Based on truth table approach, design an ALU using 16:1 multiplexers with the operation as shown in Table 3(a).

Jadual 3(a)
Table 3(a)

m_1	m_0	Operasi Operation
0	0	(Not A) XNOR B
0	1	AB NAND (Not B)
1	0	(Not B) PLUS 1
1	1	B MINUS A

Andaikan input A dan B adalah nombor pelengkap 2 4-bit dan F adalah keluaran.

Assume inputs A and B are 4-bit two's complement number and F is output.

- (i) Tunjukkan jadual kebenaran lengkap untuk ALU tersebut.

Show complete truth Table for that ALU.

...7/-

- (ii) Rekabentuk litar cebisan bit untuk ALU menggunakan pemultipleks dalam Lampiran E. Cerai dan lampirkan bersama buku jawapan.

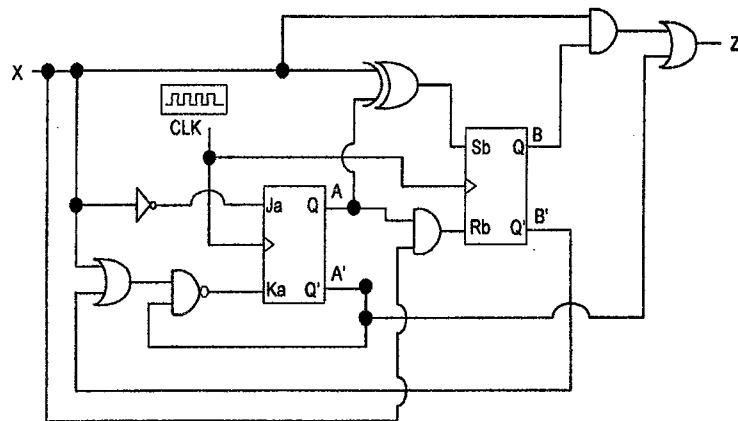
Design a bit slice circuit for the ALU using 16:1 multiplexers in Attachment E. Detach and attach with answer booklet.

- (iii) Huraikan satu ciri penting litar cebisan bit

Explain one important characteristic of a bit slice circuit.

(60%)

4. (a) Diberi litar logik dalam Gambarajah 4(a).
Given the logic circuit in Figure 4(a).



Rajah 4(a)
Figure 4(a)

- (i) Dapatkan persamaan boolean untuk Ja, Ka, Sb, Rb, dan Z.

Obtain the boolean expression for Ja, Ka, Sb, Rb, and Z.

(25%)

...8/-

- (ii) Menggunakan kaedah timbal balik yang sesuai, dapatkan Jadual Perubahan Keadaan berserta Rajah Perubahan Keadaan yang lengkap.

Using a suitable reverse engineering technique, obtain the complete State Transition Table and State Transition Diagram.

(45%)

- (b) Bincangkan terma berikut:

Discuss the following terms:

- (i) Perbezaan antara Mesin Mealy dan Mesin Moore.

The similarities and differences between the Mealy and Moore machine.

- (ii) Perbezaan antara litar berjujukan segerak dan tak segerak

The differences between the synchronous and asynchronous sequential sequential circuit.

(30%)

...9/-

5. (a) Merujuk kepada Jadual Perubahan Keadaan yang diberi dalam Jadual 5(a):

Referring to the State Transition Table in Table 5(a):

Jadual 5(a)
Table 5(a)

Keadaan sekarang <i>Present State</i>		Keadaan akan datang <i>Next State</i>				Keluaran <i>Output</i> Z
A	B	xy 00	xy 01 A ⁺	xy 10 B ⁺	xy 11	
0	0	00	01	10	XX	0
0	1	01	10	11	XX	0
1	0	10	11	11	XX	0
1	1	00	01	10	XX	1

Di mana
Where

A, B = keadaan sekarang
Present state
A⁺, B⁺ = Keadaan akan datang
Next state
x, y = masukan
input
Z = keluaran
output

- (i) Lukis Gambarajah Perubahan Keadaan. Abaikan keadaan tak hirau.

Draw the corresponding State Transition Diagram. Ignore don't cares.

(10%)

...10/-

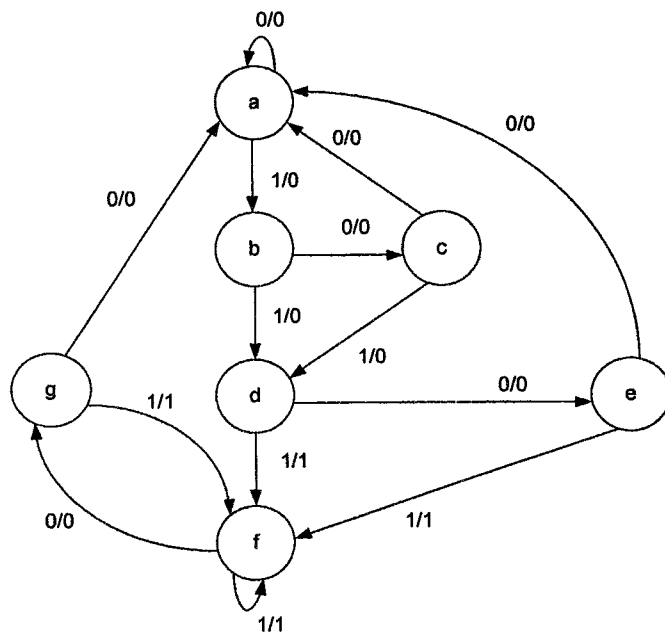
- (ii) Rekabentuk litar berjujukan yang sesuai dengan menggunakan kombinasi flip-flop D dan T.

Design the suitable sequential logic circuit using a combination of D and T flip-flop.

(40%)

- (b) Algoritma pengurangan keadaan melibatkan prosedur bagi mengurangkan bilangan keadaan dalam Jadual Perubahan Keadaan tetapi masih mengekalkan perhubungan antara kehendak masukan dan keluaran.

State reduction algorithm is concerned with procedures for reducing the number of states in a State Table while keeping the external input-output requirement unchanged.



Rajah 5(b)
Figure 5(b)

...11/-

Merujuk kepada Rajah 5(b):

Referring to Figure 5(b):

- (i) Jejak jujukan keluaran apabila jujukan masukan adalah 01010110100 bermula daripada keadaan a.

Trace the output sequences when the input sequence is 01010110100 starting from the initial state a.

(10%)

- (ii) Menggunakan Carta Implikasi, dapatkan gambarajah keadaan termudah bagi Rajah 5(b).

Using the Implication Chart, obtain the reduced state diagram for Figure 5(b).

(30%)

- (iii) Berdasarkan jawapan anda pada bahagian 5(b)(ii), buktikan bahawa dengan jujukan masukan 01010110100 bermula dengan keadaan a, jujukan keluaran adalah sama seperti bahagian 5(b)(i).

Based on your answer on part 5(b)(ii), prove that with the input sequence 01010110100 starting from the initial state a, the output sequence is the same as part 5(b)(i).

(10%)

...12/-

6. (a) Persamaan keadaan akan datang untuk litar berjujukan adalah seperti berikut:

Next state equation for a sequential circuit is given by the following equations:

$$A^+ = xAB + yA'C + xy$$

$$B^+ = xAC + y'BC'$$

$$C^+ = x'B + yAB'$$

Berdasarkan kepada **hanya ciri persamaan flip-flop**, rekabentuk dan lukis litar menggunakan flip-flop JK.

*Based only on **the appropriate characteristic equations**, design and draw the circuit using JK flip-flop.*

(30%)

- (b) Rekabentuk satu pembilang binari yang membilang daripada 0 hingga 3 secara berterusan menggunakan flip-flop SR. Tunjukkan jalan kerja dengan lengkap.

Design a binary counter that continuously counts from 0 to 3 using SR flip-flops. Show all your steps.

(20%)

- (c) Tukar Gambarajah Perubahan Keadaan di bawah kepada Carta ASM. Andaikan masukan adalah x , dan keluaran adalah Z_1Z_2 .

Convert the State Transition Diagram given below to the ASM chart. Assume that the input is denoted by x , and the outputs are Z_1Z_2 .

...13/-

Lampiran A
Attachment A

[EEE 230]

Soalan 1(a)

Question 1(a)

Input				Input (entered- variable)	Output, f	EV
A	C	D	E	B		
0	0	0	0	0		
0	0	0	0	1		
0	0	0	1	0		
0	0	0	1	1		
0	0	1	0	0		
0	0	1	0	1		
0	0	1	1	0		
0	0	1	1	1		
0	1	0	0	0		
0	1	0	0	1		
0	1	0	1	0		
0	1	0	1	1		
0	1	1	0	0		
0	1	1	0	1		
0	1	1	1	0		
0	1	1	1	1		
1	0	0	0	0		
1	0	0	0	1		
1	0	0	1	0		
1	0	0	1	1		
1	0	1	0	0		
1	0	1	0	1		
1	0	1	1	0		
1	0	1	1	1		
1	1	0	0	0		
1	1	0	0	1		
1	1	0	1	0		
1	1	0	1	1		
1	1	1	0	0		
1	1	1	0	1		
1	1	1	1	0		
1	1	1	1	1		
1	1	1	1	0		
1	1	1	1	1		

